

## Nonvolatile MNOS memory

Patent Number: US4630086  
Publication date: 1986-12-16  
Inventor(s): SATO NOBUYUKI (JP); UCHIUMI KYOTAKE (JP); NABETANI SHINJI (JP); UCHIDA KEN (JP)  
Applicant(s):: HITACHI LTD (JP); HITACHI MICROCOMPUTER ENG (JP)  
Requested Patent: FR2533740  
Application Number: US19830535233 19830923  
Priority Number(s): JP19820164910 19820924  
IPC Classification:  
EC Classification: G11C16/04F3, G11C16/04M, H01L29/788B4  
Equivalents: DE3334557, GB2129611, HK1688, IT1168295, JP59055071, MY79687, SG87387G

### Abstract

A nonvolatile memory which has both the merits of a floating gate type EEPROM and an MNOS type EEPROM and which can be written into and erased with low voltages is disclosed. Each memory element in the nonvolatile memory has a floating gate, a control gate, a gate insulator film between a semiconductor body and the floating gate, and an inter-layer insulator film between the control gate and the floating gate. The gate insulator film is made up of a very thin SiO<sub>2</sub> film and a thin Si<sub>3</sub>N<sub>4</sub> film formed thereon. The charge centroid of charges injected for storing data lies within the floating gate, not within the Si<sub>3</sub>N<sub>4</sub> film.

Data supplied from the esp@cenet database - I2

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

**2 533 740**

②1 N° d'enregistrement national :

**83 12885**

⑤1 Int Cl<sup>3</sup> : G 11 C 17/00.

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 4 août 1983.

③0 Priorité JP, 24 septembre 1982, n° 164 910.

④3 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 13 du 30 mars 1984.

⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : Société dite : HITACHI, LTD. et Société  
dite : HITACHI MICROCOMPUTER ENGINEERING, LTD.  
régies selon les lois japonaises. — JP.

⑦2 Inventeur(s) : Nobuyuki Sato, Kyotake Uchiumi, Shinji  
Nabetani et Ken Uchida.

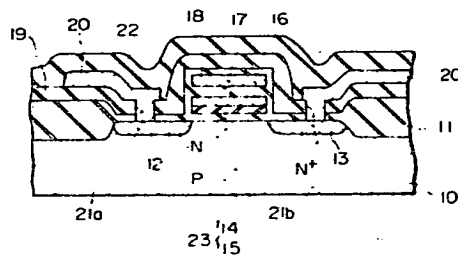
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Dupuy et Loyer.

⑤4 Mémoire rémanente.

⑤7 La présente invention concerne une mémoire rémanente.  
Cette mémoire comporte un transistor à effet de champ  
comportant un corps semiconducteur 10 ayant des régions  
semiconductrices d'un premier type, une pellicule isolante 23  
formée sur lesdites régions et comportant une première et une  
seconde pellicule isolante 14, 15 ayant des constantes diélec-  
triques différentes, des électrodes de grille 16, 18 superpo-  
sées, une pellicule isolante intercouches 17 entre ces élec-  
trodes et des régions semiconductrices d'un second type situé  
des deux côtés des premières et secondes électrodes de grille  
16, 18.

Application notamment aux mémoires effaçables et pro-  
grammables ou modifiables électriquement.



FR 2 533 740 - A1

D

La présente invention concerne une mémoire rémanente dont la densité d'intégration est élevée et dont la tension de fonctionnement est faible.

D'une manière générale, les mémoires rémanentes ou non volatiles utilisées en tant que mémoires EEPROM (mémoires PROM électriquement effaçables et programmables) ou en tant que mémoire EAROM (mémoires modifiables électriquement) sont constituées par des transistors MISFET (transistors à effet de champ du type Métal-Isolant-Semiconducteur) que l'on classe d'une manière générale dans deux catégories: le type FLOTOX (type flottant avec oxyde de tunnel), qui est du type à grille flottante et le type MNOS (Métal-Nitrure-Oxyde-Semiconducteur). Le premier type possède une électrode de grille de commande servant à réaliser la commande et une électrode de grille flottante pour le stockage de charges. Les charges devant être stockées ou mémorisées dans la grille flottante qui sont injectées en traversant une mince pellicule d'oxyde située sur une région de drain sur la base de la pénétration par effet tunnel Fowler-Nordheim modifié (effet tunnel MFN) ou sur la base de l'effet tunnel direct (désigné ci-après simplement sous le terme de "effet tunnel". D'autre part, dans le second type de transistor, la pellicule d'isolant de grille est formée par une structure à double couche constituée par une pellicule de bioxyde de silicium (pellicule de  $\text{SiO}_2$ ) et par une pellicule de nitrure de silicium (pellicule de  $\text{Si}_3\text{N}_4$ ) déposée sur la première pellicule. Les charges pénètrent par effet tunnel à travers la pellicule de  $\text{SiO}_2$ , de manière à se trouver injectées et stockées dans des pièges situés à l'intérieur de la pellicule de  $\text{Si}_3\text{N}_4$  et formés à proximité de la limite des deux pellicules isolantes..

Cependant, les dispositifs à semiconducteurs respectifs présentent des problèmes tels que ceux indi-

qués ci-après qui empêchent l'obtention de l'accroissement des densités d'intégration et un abaissement des tensions de fonctionnement des mémoires.

Le premier type de transistors est avantageux en ce qui concerne la rétention ou le maintien des données. Mais afin de garantir la rétention des charges, il est nécessaire d'interposer une pellicule épaisse isolante intercouches, d'une épaisseur d'environ 100 nanomètres du type utilisé dans une mémoire EPROM classique (mémoire ROM effaçable et programmable), entre la grille flottante et la grille de commande. Cette épaisseur est nécessaire afin d'empêcher les charges stockées de la grille flottante de fuir en direction de la grille de commande. C'est pourquoi, il est impossible d'appliquer simplement une réduction d'échelle dans le but d'obtenir un accroissement de la densité d'intégration. En dehors de cela, dans le premier type de transistors, lors de la construction de cellules de mémoire, l'alignement entre les régions de drain précédemment formées et les grilles flottantes pose un problème important comme une tolérance d'alignement est requise, il est très difficile de mettre en oeuvre un processus précis de structuration ou conformation en vue d'obtenir un accroissement de la densité d'intégration.

Avec le second type de transistors, l'alignement entre les régions de grille et de drain n'est pas un problème. En outre, ce dernier type de transistors est avantageux du point de vue durabilité. Cependant, la réduction d'échelle envisagée pour accroître la densité d'intégration ne peut pas être mise en oeuvre de façon simple. Lorsque l'épaisseur de la pellicule de  $\text{Si}_3\text{N}_4$  constituant la pellicule d'isolant de grille tombe au-dessous d'une certaine valeur ou d'environ 20 nanomètres en raison de la réduction d'échelle, il apparaît le phénomène selon lequel les charges sont émises en direction

d'une électrode de grille. C'est pourquoi, la rétention devient un problème grave. De cette manière, la réduction de l'épaisseur de la pellicule de  $\text{Si}_3\text{N}_4$ , c'est-à-dire la réduction d'échelle, est limitée, ce qui est un obstacle à l'accroissement de la densité d'intégration et à la réduction de la tension de fonctionnement.

Un but de la présente invention est de fournir une mémoire rémanente qui permette d'obtenir une densité d'intégration supérieure et des tensions inférieures d'enregistrement et d'effacement, tout en maintenant à une valeur favorable la rétention des charges.

Conformément à la présente invention, un élément servant à stocker les charges comporte une grille flottante constituant une première électrode et qui est formée sur un corps semiconducteur de manière à stocker les charges, une électrode de commande constituant une seconde électrode qui est formée sur la première électrode, une pellicule d'isolant de grille qui est interposée entre le corps semiconducteur et la première électrode, et une pellicule isolante intercouches qui est interposée entre la première électrode et la seconde électrode. Au moins la pellicule d'isolant de grille ou région de tunnel se compose de deux couches supérieure et inférieure de pellicules isolantes, dont les constantes diélectriques diffèrent réciproquement. Les charges pour la mémorisation des données sont retenues de telle manière que la grille flottante est chargée. Le centroïde ou barycentre des charges est situé à l'intérieur de la première électrode. Par conséquent, il est possible de réduire l'épaisseur de la pellicule isolante formant la couche supérieure.

A titre d'exemple préféré, la couche inférieure de la pellicule d'isolant de grille est une pellicule de  $\text{SiO}_2$ , tandis que la couche supérieure de la pellicule d'isolant de grille est une pellicule de  $\text{Si}_3\text{N}_4$ .

L'épaisseur de la pellicule d'isolant de grille formant la couche supérieure est réglée de manière à être égale au moins à 4 nanomètres et au moins à 10 nanomètres. On utilise du silicium polycristallin pour former le matériau de la grille flottante ainsi que de la grille de commande.

D'autres caractéristiques et avantages de la présente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels:

les figures 1A et 1B sont des diagrammes servant à expliciter un centroïde ou barycentre de charges dans un transistor à effet de champ du type MNOS, la figure 1A représentant un graphique de la courbe caractéristique et la figure 1B représentant une vue en coupe type du transistor à effet de champ MNOS;

la figure 2 est une vue en coupe montrant la structure d'un premier transistor à effet de champ conforme à la présente invention, tandis que la figure 3 est un graphique illustrant la relation entre la tension de grille  $V_G$  et le courant drain-source  $I_{DS}$  du transistor à effet de champ représenté sur la figure 2;

la figure 4 est une vue en coupe montrant la structure des parties essentielles d'un second transistor à effet de champ conforme à la présente invention;

la figure 5 est une vue en coupe montrant la structure de parties essentielles d'un troisième transistor à effet de champ conforme à la présente invention;

la figure 6 est une vue en plan d'une forme de réalisation d'une mémoire rémanente conforme à la présente invention;

la figure 7 est une vue en coupe prise suivant la ligne VII-VII de la mémoire rémanente de la figure 6; et

la figure 8 est un schéma du circuit de la mémoire rémanente de la figure 6.

On va décrire ci-après la forme de réalisation préférée de l'invention.

5 La figure 1A montre la relation entre le centroïde ou le barycentre des charges et la quantité de charges  $Q$  injectées dans des pièges à l'intérieur d'une pellicule de  $\text{Si}_3\text{N}_4$  5 dans un transistor à effet de champ ayant une structure MNOS, et représenté sur  
10 la figure 1B, ce résultat ayant été obtenu sur la base d'expériences effectuées par les auteurs de la présente invention. En se référant à la figure 1B, on voit qu'une pellicule d'isolant de grille 3 située au-dessous d'une électrode 2 se compose d'une pellicule de bioxyde de  
15 silicium (pellicule de  $\text{SiO}_2$ ) 4 d'une épaisseur de 2,3 nanomètres et d'une pellicule de nitrure de silicium (pellicule de  $\text{Si}_3\text{N}_4$ ) 5 d'une épaisseur de 52 nanomètres.

De façon résumée, on trouve le barycentre des charges de la manière indiquée ci-après. On suppo-  
20 se que toutes les charges d'injection  $Q$  existent dans un plan qui est parallèle à la limite entre la pellicule de  $\text{SiO}_2$  4 et la pellicule de  $\text{Si}_3\text{N}_4$  5 et qui est situé à une certaine distance  $\underline{d}$  de la grille limite. Par ailleurs, la capacité  $C$  d'un condensateur MIS est éva-  
25 luée à partir des charges d'injection  $Q$  et d'un potentiel  $V$  produit dans le condensateur MIS de la partie d'électrode de grille par les charges ( $C = Q/V$ ). La distance mentionnée précédemment  $\underline{d}$  est évaluée à partir de la capacité  $C$ , de la surface  $S$  de la partie de  
30 l'électrode de grille et de la constante diélectrique  $\epsilon$  qui est essentiellement fournie par les deux pellicules isolantes ( $d = \epsilon \cdot S/C$ ). La distance  $\underline{d}$  est la distance du barycentre des charges.

Sur la figure 1A, l'axe des abscisses re-  
35 présente la distance  $\underline{d}$  (en nanomètres), qui est comptée

en direction de la grille 2 (vers le haut) à partir de la limite entre la pellicule de  $\text{SiO}_2$  4 et la couche inférieure de la pellicule d'isolant de grille et la pellicule de  $\text{Si}_3\text{N}_4$  5 qui est la couche supérieure de la pellicule d'isolant de grille, tandis que l'axe des ordonnées représente la valeur de la quantité de charges d'injection ou injectées Q, qui est convertie en une tension V. Cette valeur de tension peut être considérée comme une valeur pour laquelle la quantité de charges injectées Q peut modifier le seuil de tension du transistor à effet de champ possédant la structure MNOS et représenté sur la figure 1B. Les expériences effectuées par les auteurs à la base de l'invention ont révélé ce qui suit. Comme cela est représenté sur la figure 1A, les barycentres de charges formés par les charges piégées sont répartis ou distribués dans une région située à une distance comprise entre environ 4 et environ 11 nanomètres à partir de la limite de la pellicule de  $\text{SiO}_2$  4 et de la pellicule de  $\text{Si}_3\text{N}_4$  5. En particulier, les barycentres des charges existent souvent dans la partie de la pellicule de  $\text{Si}_3\text{N}_4$  qui est distante d'environ 10 nanomètres par rapport à ladite limite, et un nombre plus important de charges d'injection sont piégées en cet endroit. Les barycentres des charges sont à peine présents dans une région située à une distance inférieure à 4 nanomètres ou dans une région située à une distance supérieure à 11 nanomètres par rapport à ladite limite.

La figure 2 montre une première forme de réalisation du transistor à effet de champ de la présente invention, réalisé sur la base des distances indiquées ci-dessus, de sorte qu'un barycentre de charges peut exister à l'intérieur d'une grille flottante prévue à nouveau, mais pas dans la pellicule de  $\text{Si}_3\text{N}_4$ . Sur la figure, la référence 10 désigne une région semiconductrice de type P. Cette région est constituée par un



substrat semiconducteur en silicium de type P servant de corps semiconducteur. On réalise par oxydation thermique une pellicule d'oxyde de champ 11 sur le substrat de type P 10 de manière à définir des régions destinées à former des éléments. Dans chaque région, on réalise des régions de type  $N^+$  12 et 13, de manière à réaliser les régions de source et de drain. On forme une pellicule de  $SiO_2$  14, d'une épaisseur d'environ 2 nanomètres, à la surface de la région destinée à former l'élément, au moyen d'une oxydation thermique du substrat. La pellicule de  $SiO_2$  14 peut posséder une épaisseur telle que les charges peuvent pénétrer par effet tunnel et qui peut avoir une valeur comprise entre 1,5 et 5 nanomètres. Afin d'accroître l'efficacité de l'injection, il est préférable d'utiliser une pellicule plus mince. Afin de réaliser une pellicule possédant une bonne qualité, et ce pour un rendement de fabrication élevé, il est préférable d'avoir une valeur d'environ 2 nanomètres. Une pellicule de  $Si_3N_4$  15, qui possède une épaisseur d'environ 6 nanomètres, est formée dans la partie inférieure de la partie formant électrode de grille, au moyen du dépôt chimique en phase vapeur ou analogue. La pellicule de  $Si_3N_4$  peut avoir une épaisseur telle que le barycentre des charges puisse se situer à l'intérieur d'une grille flottante. Bien que l'on puisse prendre une valeur de 4 à 11 nanomètres, une valeur comprise entre environ 5 et 10 nanomètres est plus fiable. Il est nettement préférable d'utiliser une pellicule plus mince pour amincir la pellicule d'isolant de grille. La grille flottante 16 constituant une première électrode qui est constituée par du silicium polycristallin possédant une épaisseur d'environ 2 à 10 nanomètres, est formée sur la pellicule de  $Si_3N_4$  15, de manière à réaliser une structure semblable à la structure désignée sous le terme de structure MNOS. Il serait approprié

que la grille flottante 16 soit mince. Avec une grille flottante mince, les charges peuvent difficilement se mouvoir à l'intérieur de cette grille. Dans le cas où la pellicule d'isolant de grille comporte des trous d'épingle, cette disposition permet de réduire une fuite des charges à travers ladite grille, ce qui permet d'obtenir une rétention améliorée des données. Sur la grille flottante 16, on forme une pellicule de  $\text{SiO}_2$  17 servant de pellicule isolante intercouches, ladite pellicule 17 ayant une épaisseur relativement importante d'environ 100 nanomètres. Une grille de commande 18 constituant une seconde électrode, qui est formée par du silicium polycristallin, est réalisée sur la pellicule de  $\text{SiO}_2$  17. Sur la figure, la référence 19 désigne une pellicule de PSG (verre aux phosphosilicates) et la référence 20 désigne un câblage en aluminium Al, qui est raccordé électriquement aux régions de type  $\text{N}^+$  12 et 13 par l'intermédiaire de trous de contact 21a et 21b. Les régions de type  $\text{N}^+$  12, 13 sont réalisées en auto-alignement avec l'électrode de grille au moyen d'une implantation ionique ou analogue après que les parties s'étendant jusqu'à la grille de commande 18 aient été terminées. La référence 22 désigne une pellicule de passivation finale, par exemple une pellicule de  $\text{SiO}_2$  formée par dépôt chimique en phase vapeur.

Le transistor à effet de champ conforme à la présente forme de réalisation est tel que la pellicule d'isolant de grille ou la région tunnel 23, située entièrement au-dessous de la grille flottante 16 est réalisée avec la double structure formée de la pellicule de  $\text{SiO}_2$  14 formant la couche inférieure de la pellicule isolante et de la pellicule de  $\text{Si}_3\text{N}_4$  15 formant la couche supérieure de la pellicule isolante, les constantes diélectriques de ces pellicules différant l'une de l'autre. En outre, on donne à l'épaisseur

de la pellicule de  $\text{Si}_3\text{N}_4$  formant la couche supérieure une valeur de 6 nanomètres, qui est inférieure à la distance du barycentre des charges. La quantité de charges injectées est réglée en rapport avec la pellicule de  $\text{Si}_3\text{N}_4$  15 de telle manière que le barycentre des charges peut être situé à l'intérieur de la grille flottante. En outre, l'épaisseur de l'ensemble de la pellicule d'isolant de grille 23 et des couches supérieure et inférieure combinées est mince et égale à une valeur aussi faible que 8 nanomètres, dans le présent exemple.

Lorsque, dans le transistor à effet de champ représenté sur la figure 2, une tension positive est appliquée à la grille de commande 18 et que le substrat de type P 10 est raccordé au potentiel de masse GND, les électrons pénètrent par effet tunnel dans la pellicule de  $\text{SiO}_2$  14 à partir du côté du substrat de type P et la grille flottante est chargée. A cet instant, l'une ou l'autre des régions de type  $\text{N}^+$  12, 13 est raccordée au potentiel de masse GND et l'autre est maintenue à l'état flottant. L'injection des électrons est basée sur la même action que celle intervenant dans la structure MNOS précédente. Par conséquent, cette forme de réalisation est avantageuse du point de vue durabilité étant donné que la pellicule d'isolant de grille se dégrade moins que dans le cas d'une mémoire EEPROM classique du type à grille flottante. Etant donné que dans le présent exemple, on donne une valeur de 6 nanomètres à l'épaisseur de la pellicule de  $\text{Si}_3\text{N}_4$ , le centre des pièges des charges (la partie correspondant au barycentre des charges et qui piège au maximum les charges) se situe à l'intérieur de l'épaisseur de la grille flottante 16, de sorte que les charges sont stockées dans la grille flottante 16. La région chargée est la même que dans le type à grille flottante de l'art antérieur. Par conséquent, la fuite des charges à partir de la pellicule de  $\text{Si}_3\text{N}_4$  en direc-

tion de l'électrode de grille est faible et la rétention est favorable comme dans le cas de la mémoire EEPROM classique de type MNOS. Même lorsque l'épaisseur de la pellicule d'isolant de grille 23 diminue dans le cas de la réduction d'échelle, il ne se présente aucun problème du point de vue de la rétention.

Le piégeage des charges peut être réalisé de la même manière que dans la structure MNOS. Compte-tenu de la réduction des épaisseurs de la pellicule de  $\text{SiO}_2$  14 et de la pellicule de  $\text{Si}_3\text{N}_4$  15, la tension qui est appliquée à la grille de commande 18 lors de l'injection peut être réduite sans détérioration de l'efficacité de l'injection. Conformément aux expériences des auteurs de la présente invention, avec la présente forme de réalisation, la pénétration par effet tunnel des charges suffisante pour mémoriser des données, est possible pour une tension d'environ 10 V. Lors de la formation des régions de type  $\text{N}^+$  12, 13, de la grille flottante 16, etc., le problème de l'alignement entre les régions de type  $\text{N}^+$  et la grille flottante ne s'est pas posé. Ceci facilite la finition de la configuration ou structuration, en améliorant la densité d'intégration, et ce en liaison avec la réduction d'échelle indiquée précédemment.

Afin d'enregistrer des données dans la grille flottante 16, c'est-à-dire en d'autres termes d'injecter des charges dans cette grille, il est possible d'appliquer une tension positive à la grille de commande 18, alors que le substrat de type P 10 est raccordé au potentiel de masse GND. Inversement, en vue d'effacer des données enregistrées dans la grille flottante 16, c'est-à-dire en d'autres termes en vue d'émettre des charges piégées, il est possible de raccorder la grille de commande 18 au potentiel de masse GND, alors qu'une tension positive est appliquée au substrat de type P 10. Par con-

séquent les charges sont émises en direction du substrat de type P 10. A ce moment là, le potentiel des régions de type  $N^+$  12, 13 peut être quelconque et on le rend égal à celui du substrat du type P 10, à titre d'exemple.

Les données enregistrées sont lues de la manière suivante. Les caractéristiques courant-tension du transistor à effet de champ, représentées sur la figure 2 sont réglées comme cela est indiqué par "1" et "0" sur la figure 3 lorsque les charges ne sont pas piégées dans la grille flottante 16 et lorsqu'elles sont piégées dans cette grille respectivement. Un transistor à effet de champ représenté sur la figure 2 est réglé préalablement dans le mode à appauvrissement, avec une tension de seuil égale par exemple à -3 V environ, ce qui a pour effet qu'il est placé dans le mode à enrichissement lorsque la tension de seuil est accrue jusqu'à une valeur de par exemple +3 V environ par l'enregistrement des données, c'est-à-dire le piégeage des charges.

Sur la figure 3, l'axe des abscisses  $V_G$  représente la tension qui est appliquée à la grille de commande 18, tandis que l'axe des ordonnées  $I_{DS}$  représente le courant qui s'écoule entre la région de source et la région de drain, c'est-à-dire entre les régions de type  $N^+$  12 et 13. En utilisant une telle différence des tensions de seuil, on amène le potentiel de la grille de commande 18 par exemple à 9V, ce qui permet de réaliser la lecture des données. Ainsi, le nombre des instants de lecture est accru. Il est possible de connaître les deux états dans lequel le transistor à effet de champ, pour lequel le potentiel de la grille de commande est réglé à 0V est conducteur (état de "1") et est bloqué (état de "0"). Par conséquent le transistor à effet de champ peut être exploité en tant qu'élément de mémoire rémanente contenant la donnée égale à 1 bit.

La figure 4 représente un second exemple du transistor à effet de champ conforme à la présente invention et montre en particulier uniquement la structure d'une partie formant grille. Les autres parties non représentées sont identiques à celles indiquées dans la figure 2. Dans la présente forme de réalisation, tout comme dans le cas de la forme de réalisation précédente, la pellicule d'isolant de grille 23 située entre la grille flottante 16 et le substrat semiconducteur 10 est réalisée selon la structure double avec la pellicule de  $\text{SiO}_2$  14 constituant la couche inférieure de la pellicule isolante et la pellicule de  $\text{Si}_3\text{N}_4$  15 constituant la couche supérieure de la pellicule isolante. Un agencement particulier tient au fait que la pellicule isolante intercouches 24 située entre la grille flottante 16 et la grille de commande 18 est réalisée selon une structure double. La pellicule isolante intercouches 24 est constituée d'une pellicule de  $\text{Si}_3\text{N}_4$  25 constituant la couche inférieure et d'une pellicule de  $\text{SiO}_2$  26 constituant la couche supérieure et formée par oxydation thermique de la surface de la première couche. Les pellicules respectives possèdent des épaisseurs de 6 et 2 nanomètres. Ces pellicules devraient de préférence être minces. La pellicule de  $\text{Si}_3\text{N}_4$  25 peut avoir une épaisseur comprise entre 4 et 11 nanomètres et la pellicule de  $\text{SiO}_2$  26 peut posséder une épaisseur comprise entre 1,5 et 5 nanomètres. Mais, pour des raisons qui seront indiquées ci-après, il serait souhaitable que les épaisseurs des pellicules 25 et 26 soient respectivement égales à la pellicule de  $\text{Si}_3\text{N}_4$  15 et à la pellicule de  $\text{SiO}_2$  14, qui constituent la pellicule d'isolant de grille.

Lorsque la pellicule isolante intercouches 24 est ainsi réalisée, l'ensemble de son épaisseur peut être rendue inférieure à l'épaisseur de la pellicule iso-

lante intercouches constituée par la pellicule de  $\text{SiO}_2$  17 seule, comme représenté sur la figure 2. En outre, en dépit du fait que la pellicule isolante intercouches est mince dans son ensemble, l'émission de charges à partir

5 de la grille flottante 16 en direction du côté de la grille de commande 18 peut être empêchée de façon efficace. Par conséquent, la rétention des données est encore améliorée. Ceci est basé sur le fait que des charges ayant fui hors de la grille flottante 16 sont captées

10 par la pellicule de  $\text{Si}_3\text{N}_4$  25, qui a tendance à former le centre des pièges, assure le fait que la fuite des charges hors de cette pellicule de  $\text{Si}_3\text{N}_4$  en direction de la grille de commande 18 est empêchée par la pellicule de  $\text{SiO}_2$  26. Bien que cette pellicule de  $\text{SiO}_2$  26 ait une

15 épaisseur aussi faible que 2 nanomètres, cela suffit pour empêcher la fuite des charges à partir de la pellicule de  $\text{Si}_3\text{N}_4$  25. Cette structure est efficace pour amincir cette partie de la grille et est plus avantageuse pour le traitement de finition.

20 Etant donné que, dans cette structure, les deux pellicules isolantes 23 et 24 situées au-dessous et au-dessus de la grille flottante 16 possèdent des épaisseurs approximativement identiques, une intensité de champ électrique dans la grille flottante 16 devient

25 égale à environ la moitié d'une tension appliquée à la grille de commande 18. Par conséquent l'efficacité de la pénétration par effet tunnel des charges peut être améliorée. Donc, lorsque l'on utilise le transistor à effet de champ en tant qu'élément de mémoire, il est

30 possible de réduire la tension d'enregistrement. Par exemple, lorsqu'une tension de 5 V est appliquée à la grille de commande 18, un potentiel devant apparaît dans la grille 76 est égal à 2,5 V. Dans ce cas, les charges suffisantes pour accroître la tension de seuil

35 de l'ordre de quelques volts peut être injectée de

telle sorte que le transistor à effet de champ peut être utilisé de façon satisfaisante en tant qu'élément de mémoire. Naturellement, l'émission des charges peut être réalisée de façon similaire avec une faible tension.

- 5 Les façons d'appliquer des tensions aux régions respectives du transistor à effet de champ lors des modes d'enregistrement et d'effacement sont les mêmes que dans l'exemple du premier transistor à effet de champ.

La figure 5 montre un troisième exemple du  
10 transistor à effet de champ conforme à la présente invention. Cet exemple est tel que, entre la pellicule de  $\text{Si}_3\text{N}_4$  25 de la pellicule 24 isolante intercouches et la grille flottante 16 située dans le transistor à effet de champ de la figure 4, il existe une pellicule de  
15  $\text{SiO}_2$  27 qui est formée sur une épaisseur de 2 nanomètres par oxydation thermique de la grille flottante 16. Les caractéristiques, autres que cette caractéristique, sont les mêmes que dans le cas du second exemple du transistor à effet de champ. Par conséquent, la pellicule isolante intercouches 24 possède une structure triple et est constituée par une couche supérieure 26, une  
20 couche médiane 25 et une couche inférieure 27, qui sont respectivement la pellicule de  $\text{SiO}_2$ , la pellicule de  $\text{Si}_3\text{N}_4$  et la pellicule de  $\text{SiO}_2$ . Compte-tenu de la présence de la nouvelle pellicule de  $\text{SiO}_2$  27, il est possible  
25 d'améliorer l'action de prévention de toute fuite de charges à partir de la grille flottante 16 en direction de la pellicule de  $\text{Si}_3\text{N}_4$  15.

Avec le second ou troisième transistor à effet de champ, il est possible de réaliser un enregistrement et un effacement à 5 V, grâce à une optimisation des épaisseurs des pellicules 15 et 25 de  $\text{Si}_3\text{N}_4$ .

Dans les formes de réalisation respectives décrites ci-dessus, les pellicules de  $\text{Si}_3\text{N}_4$  15, 25 peuvent être parfaitement bien remplacées par des pellicu-  
35



les de  $\text{Al}_2\text{O}_3$  ou par des pellicules d'hydroxynitrure. Pour la grille de commande 18 et la grille flottante 16, on peut utiliser des pellicules constituées par du molybdène Mo, du tungstène W, du platine Pt ou analogue à la place des pellicules de silicium polycristallin. En particulier en ce qui concerne la grille flottante 16, on peut parfaitement utiliser une pellicule de W, de Pt ou analogue. On peut parfaitement bien utiliser une pellicule d'aluminium Al pour constituer la grille de commande 18.

Les figures 6 à 8 montrent une forme de réalisation dans laquelle une mémoire rémanente est réalisée en utilisant les transistors à effet de champ conformes à la présente invention en tant qu'éléments de mémoire. Les figures 6 et 7 sont respectivement une vue en plan et une vue en coupe de cette forme de réalisation et la figure 8 est un schéma du circuit de la mémoire. Comme représenté sur les figures 6 et 7, un puits de type P 31 repéré par une ligne en trait mixte et servant de région semiconductrice pour la formation des cellules de mémoire est formé dans un substrat semiconducteur en silicium de type N 30 servant de corps semiconducteur. Plusieurs régions allongées 33 destinées à former les éléments et qui sont isolées par une pellicule d'oxyde de champ 32, sont formées dans la partie principale du substrat en silicium. Dans chaque région 33 constituant un élément, on forme des régions de type  $\text{N}^+$  34, 35 et 36 à des intervalles prédéterminés suivant la direction de la longueur de la région 33 formant l'élément, et ce avec auto-alignement par rapport aux lignes de transmission de mots  $\text{W}_{\text{S1}}$ , ...,  $\text{W}_{\text{M1}}$ , .... Les régions de type  $\text{N}^+$  34 et 35 voisines ainsi que les lignes de transmission de mots  $\text{W}_{\text{S1}}$ , .... prises en sandwich entre ces régions, servent de régions de source et de drain pour des transistors MOSFET  $\text{Q}_{\text{S1}}$ ,  $\text{Q}_{\text{S2}}$ , ... qui sont des

organes de commutation. Des régions voisines de type  $N^+$  35 et 36 avec les lignes de transmission de mots  $W_{M1}, \dots$ , prises en sandwich entre ces régions servent de régions de source ou de drain pour les transistors à effet de champ  $Q_{M1}, Q_{M2}, \dots$  qui sont des éléments de mémoire. Les transistors MOSFET  $Q_{S1}, Q_{S2}, \dots$ , qui sont des organes de commutation, possèdent la structure MOSFET usuelle comportant une pellicule d'oxyde de grille (pellicule de  $SiO_2$ ) 37 et une grille 38 en silicium polycristallin formée sur cette pellicule. Les électrodes de grille des transistors MOSFET  $Q_{S1}, Q_{S2}, \dots$  constituent les lignes de transmission de mots  $W_{S1}, W_{S2}, \dots$ . Les transistors à effet de champ  $Q_{M1}, Q_{M2}, \dots$  servant d'éléments de mémoire possèdent la structure du dispositif de mémoire rémanente représentée sur la figure 4. Dans les électrodes de grille des transistors à effet de champ  $Q_{M1}, Q_{M2}, \dots$ , les électrodes de grille constituent les lignes de transmission de mots  $W_{M1}, W_{M2}, \dots$ . Les deux types de transistors à effet de champ  $Q_{S1}, Q_{S2}, \dots$  et  $Q_{M1}, Q_{M2}, \dots$  utilisent les régions de type  $N^+$  35 existant entre elles, en tant que régions de source ou de drain communes. Chaque cellule de mémoire est constituée de telle manière qu'un couple de transistors à effet de champ  $Q_{S1}$  et  $Q_{M1}$ ,  $Q_{S2}$  et  $Q_{M2}, \dots$  sont branchés en série. Les éléments de commutation voisins et les éléments de mémoire voisins constituant les différentes cellules de mémoire se partagent respectivement les régions de type  $N^+$  34 et 36. Un conducteur de câblage en Al 47 est raccordé aux régions de type  $N^+$  34 et 36 partagées, par l'intermédiaire de trous de contact. Comme cela est représenté sur la figure 6, le conducteur de câblage en Al 47 raccorde alternativement les régions de type  $N^+$  34 entre les éléments de commutation et les régions de type  $N^+$  36 entre les éléments de mémoire.

Les dispositifs formés, comme décrit ci-des-

sus, sont raccordés de la manière représentée sur la figure 8. Des lignes de transmission de données  $\overline{D_1}$ ,  $\overline{D_2}$ , ... qui sont raccordées aux drains des éléments de mémoire  $Q_{M1}$ ,  $Q_{M2}$ , ..., sont raccordées à un circuit d'enregistrement 50. Des lignes de transmission de données  $D_1$ ,  $D_2$ , ... qui sont raccordées aux sources des éléments de commutation  $Q_{S1}$ ,  $Q_{S2}$ , ... sont raccordées à un décodeur des Y 51 ainsi qu'à un circuit de lecture 52. Les lignes de transmission de mots  $W_{S1}$ ,  $W_{S2}$ , ... raccordées aux grilles des éléments de commutation, et les lignes de transmission de mots  $W_{M1}$ ,  $W_{M2}$ , raccordées aux grilles des éléments de mémoire, sont raccordées respectivement à un décodeur des X 53. En outre, le puits de type P 31, qui est la région semiconductrice dans laquelle les cellules de mémoire doivent être formées, est raccordé à un circuit de tension de puits 54, de manière à réaliser un circuit de mémoire.

Lors de l'injection ou de l'émission de charges, une haute tension égale par exemple à 20 V comme dans le cas de l'art antérieur n'est pas nécessaire.

En effet, lors de l'enregistrement des données, au cours de l'injection des charges, une ligne quelconque désirée, par exemple la ligne  $\overline{D_1}$  faisant partie des lignes de transmission de données  $\overline{D_1}$ ,  $\overline{D_2}$ , ... est placée à 0 V par le circuit d'enregistrement 50. Les autres lignes de transmission de données  $\overline{D_2}$ , ... sont placées à 5 V. Toute ligne désirée, par exemple  $W_{M1}$  parmi les lignes de transmission de mots  $W_{M1}$ ,  $W_{M2}$ , ..., est placée à une tension d'enregistrement de 5 V par le décodeur des X. Les autres lignes de transmission de mots  $W_{M2}$ , ... sont placées à 0 V. Toutes les lignes de transmission de mots  $W_{S1}$ ,  $W_{S2}$ , ... sont maintenues à 0 V. Les lignes de transmission de données  $D_1$ ,  $D_2$ , ... sont maintenues à n'importe quelle valeur désirée, par exemple 0 V, par le décodeur des X. D'au-

tre part, une tension de 0 V est appliquée au puits de type P 31 situé au-dessus du canal du transistor à effet de champ  $Q_{M1}$ , par le circuit de tension de puits 54. Il en résulte que des charges sont injectées dans la grille flottante du transistor à effet de champ  $Q_{M1}$ , comme cela a été décrit précédemment.

Lors de l'effacement des données, au cours de l'émission de charges, toutes les lignes de transmission de mots sont amenées au potentiel de masse de 0 V, tandis que le potentiel du puits de type P 31 est placé à une tension d'effacement de par exemple 5 V. Par conséquent, des charges à l'intérieur de tous les éléments de mémoire sont émises.

A cet instant, les lignes de transmission de mots  $W_{S1}$ ,  $W_{S2}$ ,... sont maintenues à 0 V et toutes les lignes de transmission de données sont placées à un potentiel quelconque désiré. Lorsqu'une ligne de transmission de mots, par exemple  $W_{M1}$  faisant partie des lignes de transmission de mots  $W_{M1}$ ,  $W_{M2}$ ,..., sont placées à 0 V, et que les autres lignes de transmission de mots  $W_{M2}$ ,... sont placées à 5 V, seules les données situées dans les cellules de mémoire raccordées à  $W_{M1}$  peuvent être effacées.

Lors de la lecture des données, les lignes de transmission de données  $\overline{D_1}$ ,  $\overline{D_2}$ ,... et les lignes de transmission de mots  $W_{M1}$ ,  $W_{M2}$ ,... sont placées à 0 V. Parmi les lignes de transmission de mots  $W_{S1}$ ,  $W_{S2}$ ,..., une ligne quelconque désirée, par exemple  $W_{S1}$ , est placée à 5 V. Etant donné que les charges sont piégées dans le transistor à effet de champ  $Q_{M1}$ , raccordé au transistor à effet de champ  $Q_{S1}$  sélectionné, la tension de seuil du transistor à effet de champ  $Q_{M1}$  est supérieure à 0 V, de sorte que ce transistor à effet de champ ne passe pas à l'état "conducteur" ou "passant", par conséquent le potentiel

de la ligne de transmission de données  $D_{S1}$  préchargée à une certaine tension de par exemple 5 V est raccordée au transistor à effet de champ  $Q_{S1}$  ne varie pas. Lorsqu'aucune charge n'est piégée dans le transistor à effet de champ  $Q_{M1}$ , ce transistor passe à l'état "conducteur", si bien que le potentiel de la ligne de transmission de données  $D_1$  devient approximativement égal à 0 V. Ce potentiel de la ligne de transmission de données  $D_1$  est détecté par le circuit de lecture 52, par l'intermédiaire du décodeur des Y 51.

Etant donné que la tension d'enregistrement et la tension d'effacement dans l'élément de mémoire MOSFET peuvent être égales à 5 V, la tension d'alimentation de 5 V du circuit de mémoire peut être utilisée telle quelle et il est inutile d'utiliser un circuit élévateur de tension, etc. En outre, étant donné que le courant de lecture est intense, aucun circuit amplificateur n'est nécessaire. De plus, étant donné que l'ensemble du dispositif reçoit une forme aplatie et que la densité d'intégration est accrue, on peut réaliser un dispositif de mémoire possédant une capacité de mémorisation élevée.

Le dispositif de mémoire et le circuit de mémoire décrits ci-dessus sont simplement un exemple d'application de la présente invention. Il va sans dire que d'autres applications différentes incluant par exemple une mémoire rémanente à accès direct ou aléatoire (NVRAM) sont possibles.

Dans la mémoire rémanente conforme à la présente invention, une pellicule d'isolant de grille située au-dessous d'une grille flottante est réalisée selon une structure double grâce à l'utilisation de pellicules isolantes possédant des constantes diélectriques différentes l'une de l'autre, et l'épaisseur de la couche supérieure de la pellicule d'isolant de

grille est réglée à une épaisseur ou inférieure à une épaisseur prédéterminée de manière à placer un centroïde ou barycentre de charges à l'intérieur de la grille flottante. Par conséquent, l'amélioration de la densité d'intégration d'un dispositif et la réduction d'une tension d'enregistrement et d'une tension d'effacement peuvent être obtenues simultanément, et ce tout en réalisant une rétention favorable des données. Un autre effet réside dans le fait que, par suite de l'accroissement de la capacité de mémorisation du dispositif, on peut obtenir une simplification de l'agencement du circuit de mémoire.

Les avantages de la présente invention sont obtenus dans d'autres variantes de l'invention, grâce à l'utilisation de la pellicule d'isolant de grille ou d'une région à effet tunnel de l'invention, pour constituer la région tunnel du dispositif. Il est approprié, dans les variantes de l'invention, d'utiliser la région à effet tunnel possédant la structure à double couche, qui est constituée par la pellicule de bioxyde de silicium et par la pellicule de nitrure de silicium, formée sur la précédente. La région à effet tunnel conforme à l'invention est utilisée par exemple à la place de la pellicule d'oxyde à effet tunnel dans une mémoire rémanente du type à grille flottante représentée dans la revue Electronics, 28 Février 1981, pp 113-117, ou dans une cellule du type à grille flottante semblable à une cellule à un transistor représentée dans Electronics, 31 Juillet 1980, pp 89-92. Ces dispositifs ne présentent pas l'avantage selon lequel aucune tolérance d'alignement n'est requise. L'invention s'applique à d'autres cellules de mémoire rémanente du type à grille flottante qui utilisent l'effet tunnel.

REVENDICATIONS

1. Mémoire rémanente comporte un transistor à effet de champ destiné à être utilisé en tant qu'élément de mémoire, caractérisée en ce que ledit transistor à effet de champ comporte;

a) un corps semiconducteur (10), qui comporte des premières régions semiconductrices possédant un premier type de conductivité (12, 13),

b) une pellicule isolante (23), qui est formée sur lesdites régions semiconductrices et qui est constituée par une première pellicule isolante (14) et par une seconde pellicule isolante (15) formée sur la précédente et qui possède une constante diélectrique différente de la constante diélectrique de ladite première pellicule isolante,

c) une première électrode de grille (16) qui est formée sur ladite pellicule isolante,

d) une seconde électrode de grille (18) qui est formée sur ladite première électrode de grille,

e) une pellicule isolante intercouches (17; 24) qui est disposée entre lesdites première et seconde électrodes de grille (16, 18), et

f) des régions semiconductrice, possèdent un second type de conductivité et qui sont formées à l'intérieur des régions semiconductrices mentionnées en premier, qui sont disposées sur les deux côtés desdites première et second électrodes de grille.

2. Mémoire rémanente, selon la revendication 1, caractérisée en ce que ladite première pellicule d'isolant de grille (14) est une pellicule de bioxyde de silicium.

3. Mémoire rémanente selon la revendication 2, caractérisée en ce que ladite seconde pellicule d'isolant de grille (15) est une pellicule de nitrure de silicium.

4. Mémoire rémanente selon la revendication 3, caractérisée en ce que ladite pellicule de bioxyde de silicium possède une épaisseur comprise entre 1,5 et 5 nanomètres et que ladite pellicule de nitrure de silicium possède une épaisseur comprise entre 4 et 11 nanomètres.

5. Mémoire rémanente, selon la revendication 4, caractérisée en ce que ladite pellicule de bioxyde de silicium possède une épaisseur de 2 nanomètres et que ladite pellicule de nitrure de silicium possède une épaisseur de 6 nanomètres.

4. Mémoire rémanente, selon la revendication 4, caractérisée en ce que ladite pellicule isolante intercouches (17) est une pellicule de bioxyde de silicium.

15 7. Mémoire rémanente selon la revendication 7, caractérisée en ce que la pellicule isolante intercouches (24) est constituée par une pellicule de nitrure de silicium (25) qui est une première pellicule isolante intercouches, et par une pellicule de bioxyde de silicium (26) qui est une seconde pellicule isolante intercouches, formée sur ladite première pellicule isolante intercouches.

8. Mémoire rémanente selon la revendication 7, caractérisée en ce que ladite pellicule de bioxyde de silicium (14) de ladite première pellicule d'isolant de grille (23) et ladite pellicule de bioxyde de silicium (26) de ladite seconde pellicule isolante intercouches possèdent des épaisseurs sensiblement identiques, tandis que la pellicule de nitrure de silicium (25) de ladite seconde pellicule d'isolant de grille (24) et ladite pellicule de nitrure de silicium (15) de ladite première pellicule isolante intercouches (17) possèdent des épaisseurs sensiblement identiques.

9. Mémoire rémanente selon la revendication 4, caractérisé en ce que ladite pellicule isolante inter-



couches (24) est constituée par une pellicule de nitrure de silicium (25) qui est une première pellicule isolante intercouches, par une pellicule de bioxyde de silicium (26) qui est une seconde pellicule isolante intercouches, et par une pellicule de bioxyde de silicium (27) qui est une troisième pellicule intercouches formée entre ladite première électrode de grille (16) et ladite pellicule de nitrure de silicium (25) de ladite première pellicule isolante intercouches.

10. Mémoire rémanente selon la revendication 9, caractérisée en ce que ladite pellicule de bioxyde de silicium de ladite première pellicule d'isolant de grille et ladite pellicule de bioxyde de silicium de ladite seconde pellicule isolante intercouches possèdent des épaisseurs sensiblement identiques, tandis que ladite pellicule de nitrure de silicium de ladite seconde pellicule d'isolant de grille et ladite pellicule de nitrure de silicium de ladite première pellicule isolante intercouches possèdent des épaisseurs sensiblement identiques.

11. Mémoire rémanente selon la revendication 4, caractérisée en ce que ladite première électrode de grille possède une épaisseur comprise entre 2 et 10 nanomètres.

12. Mémoire rémanente selon la revendication 11, caractérisée en ce que ladite première électrode de grille (16) est constituée d'une couche de silicium polycristallin.

13. Mémoire rémanente selon la revendication 4, caractérisée en ce que ladite première électrode de grille (16) est constituée par une couche de silicium polycristallin possédant une épaisseur comprise entre 2 et 10 nanomètres et que ladite seconde électrode de grille (18) est constituée par une cou-

che de silicium polycristallin.

14. Mémoire rémanente selon la revendication 13, caractérisée en ce que ledit premier type de conductivité est le type P et que ledit second type de  
5 conductivité est le type N.

15. Mémoire rémanente selon la revendication 14, caractérisée en ce que ledit corps semiconducteur (10) est un substrat en silicium de type N.

16. Mémoire rémanente, caractérisée en ce  
10 qu'elle comporte

- a) un corps semiconducteur (10),
- b) un circuit de sélection (53) qui est disposé sur ledit corps semiconducteur,
- c) un réseau de mémoire qui est constitué  
15 par plusieurs cellules de mémoire disposées sous la forme d'une matrice et ce dans des régions semiconductrices possédant un premier type de conductivité formées dans ledit corps semiconducteur, lesdites cellules de mémoire possédant des premières et secondes bornes  
20 de sélection et des premières et secondes bornes de lecture,
- d) une pluralité de couples de lignes de transmission de mots ( $W_{M1}, W_{S1}, W_{M2}, W_{S2}, \dots$ ) qui s'étendent à partir dudit circuit de sélection (53) jusqu'à l'intérieur dudit réseau de mémoire et qui reçoivent des signaux de  
25 sélection en provenance dudit circuit de sélection, l'un et l'autre de chacun desdits couples de lignes de transmission de mots étant raccordé respectivement aux premières et secondes bornes des cellules de mémoire correspondantes,  
30
- e) une pluralité de couples de lignes de transmission de données ( $D_1, \bar{D}_1, D_2, \bar{D}_2, \dots$ ) qui s'étendent à partir dudit circuit de sélection à l'intérieur dudit réseau de mémoire de manière à intersecter orthogonalement lesdites lignes de transmission de mots ( $W_{M1}, W_{S1}, W_{M2},$

..) et qui reçoivent les signaux de lecture à partir dudit circuit de sélection, l'un et l'autre de chacun desdits couples de lignes de transmission de données étant raccordés respectivement aux première et seconde bornes de lecture des cellules de mémoire correspondantes,

f) chacune desdites cellules de mémoire incluant un premier transistor à effet de champ ( $Q_{M1}, \dots$ ), destiné à être utilisé en tant qu'élément de mémoire, et un second transistor à effet de champ ( $Q_{S1}, \dots$ ) destiné à être utilisé en tant qu'élément de commutation, lesdits premiers et seconds transistors à effets de champ étant raccordés en série entre les premières et secondes bornes de lecture, tandis que des électrodes de commande de ces premier et second transistors à effet de champ sont raccordées respectivement aux première et seconde bornes de sélection,

g) ledit premier transistor à effet de champ ( $Q_{M1}, \dots$ ) incluant une pellicule de bioxyde de silicium qui est formée sur lesdites régions semiconductrices possédant ledit premier type de conductivité, une pellicule de nitrure de silicium qui est formée sur ladite pellicule de bioxyde de silicium, une première électrode de grille en silicium polycristallin qui est formée sur ladite pellicule de nitrure de silicium, une seconde électrode de grille qui est formée par dessus ladite première électrode de grille, une pellicule isolante intercouches qui est disposée entre lesdites première et seconde électrodes de grille et des régions semiconductrices possédant le second type de conductivité et qui sont disposées des deux côtés desdites première et secondes électrodes de grille à l'intérieur de chacune des régions semiconductrices mentionnées en premier, ladite seconde électrode de grille faisant partie de la ligne de transmission de mots qui est raccordée à la première borne de sélection.

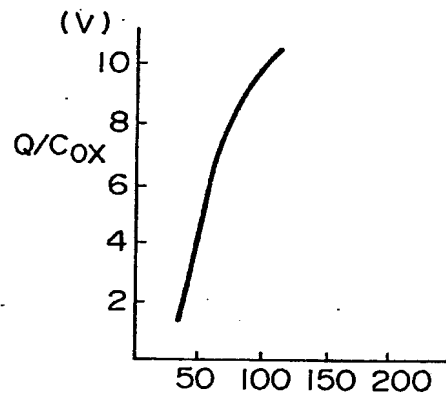
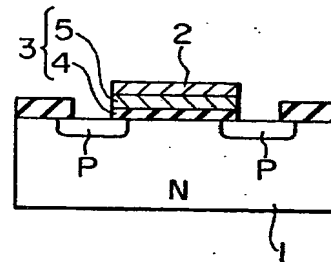
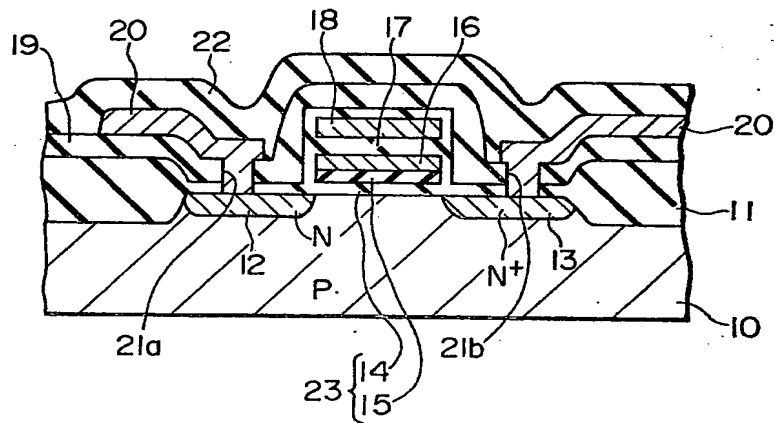
**FIG. 1A****FIG. 1B****FIG. 2**

FIG. 4

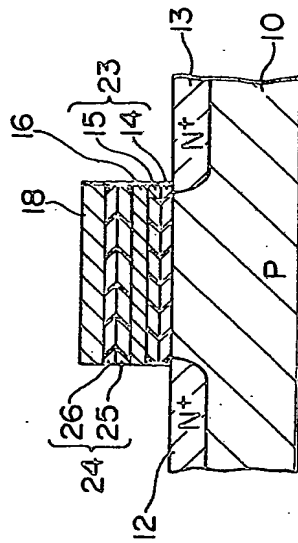


FIG. 5

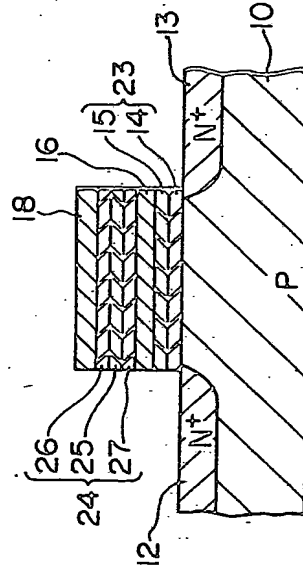


FIG. 3

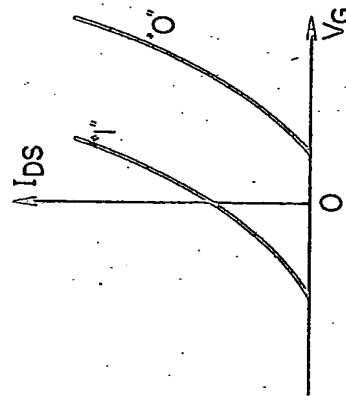


FIG. 6

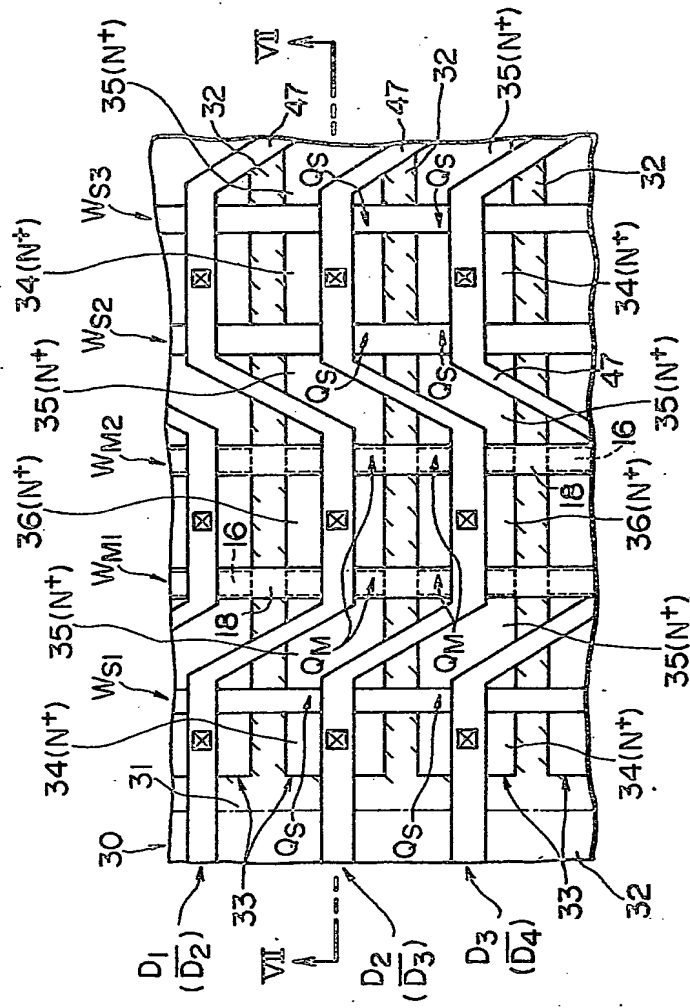




FIG. 8

